

**ABSTRACT OF Korean Patent Application No. 10-2001-7005464**

A system for preventing bus contention in a multifunction integrated circuit under testing.

The system is implemented in an integrated circuit adapted to accept a series of test inputs operable for testing the functionality of the integrated circuit. The integrated circuit

- 5 includes at least one bus for communicatively coupling the multiple functional blocks. At least a first functional block and a second functional block included in the integrated circuit, the first functional block and the second functional block both coupled to the bus and coupled to accept the test inputs. An output enable controller is also included in the integrated circuit. The output enable controller is coupled to the second functional block
- 10 and is operable to disable at least one output of the second functional block if a corresponding output of the first functional block is activated. This guarantees that the test inputs can propagate through the first functional block and the second functional block without causing contention for the bus between the first functional block and the second functional block

# 인용발명 사본1부.

[첨부그림 1]

특 2001-0083932

## (19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup> G01R 31/3165	(11) 공개번호 (43) 공개일자	특 2001-0083932 2001년 09월 03일
(21) 출원번호 (22) 출원일자 번역문제출일자 (86) 국제출원번호 (86) 국제출원출원일자 (81) 지정국	10-2001-7005464 2001년 04월 30일 2001년 04월 30일 PCT/US2000/23858 2000년 08월 30일 국내특허 : 중국, 일본, 대한민국, EP, 유럽특허 : 오스트리아, 벨기에, 스위스, 사이프러스, 독일, 덴마크, 스페인, 핀란드, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴	(87) 국제공개번호 (87) 국제공개일자 W/O 2001/16611 2001년 03월 08일
(30) 우선권주장 (71) 출원인	09/389,871 1999년 09월 02일 미국(US) 코닌클리크 제 필립스 일렉트로닉스 엔.브이.      롬페스 요하네스 게라투스 알버트루스	
(72) 발명자	네덜란드 연합-5621 베에이 아인드호벤 그로네보드세베그 1 자라밀로렌 미국아리조나주 85022 포닉스노스 7번스트리트 #306016220 로그스던브라이언 미국아리조나주 85308 글렌데일노스 73번매비뉴 21118 스토리프렘클레이치 미국아리조나주 85224 천 클라켄트럽스트리트 708 메이암퍼서브래머니언 미국아리조나주 85283 템페웨스트웨이스트라인로드 #1140505 김창세, 김원준	
(74) 대리인	김창세, 김원준	

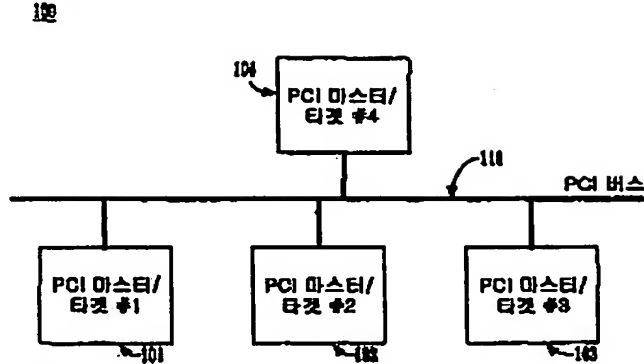
심사결과 : 없음

### (54) 버스 경합을 방지하기 위한 장치 및 방법

#### 요약

본 발명은 테스트 동안에 다기능 집적 회로 내의 버스 경합을 방지하는 시스템에 관한 것이다. 상기 시스템은 집적 회로의 기능을 테스트하도록 동작가능한 일련의 테스트 입력을 받아들이도록 구성된 집적 회로로 구현된다. 상기 집적 회로는 복수의 기능 블록을 서로 결합하는 적어도 하나의 버스를 포함한다. 적어도 제 1 기능 블록 및 제 2 기능 블록은 집적 회로에 포함되고, 상기 제 1 기능 블록 및 제 2 기능 블록은 모두 상기 버스에 결합되어 상기 테스트 입력을 받아들이도록 결합된다. 또한 버스 중재기가 상기 버스의 소유권을 승인하는 집적 회로에 포함된다. 상기 버스 중재기는, 상기 제 1 기능 블록의 다음 출력에 상기 제 1 기능 블록을 위해 생성된 버스 승인 신호를 이용하여 활성화되면 상기 제 2 기능 블록의 적어도 하나의 출력을 디스에이블하도록 동작가능하다. 이것은 제 1 기능 블록 및 제 2 기능 블록 사이의 버스(110)에 대한 경합을 발생하지 않고 제 1 기능 블록 및 제 2 기능 블록을 통하여 테스트 입력이 전파될 수 있도록 보장한다. 한편, 집적화된 테스트 디바이스 제어기는 상기 버스 중재기의 승인 신호를 이용하는 것과 반대로 제 2 기능 블록의 출력을 디스에이블하는데 사용된다. 이것은 버스 중재기의 논리 틈 변경하지 않고 구현된 로직을 통합할 수 있도록 한다.

**도면**



**명세서**

**기술분야**

본 발명은 집적회로 디바이스의 테스트 용이화 설계(design-for-testability) 분야에 관한 것이다. 본 발명은 특히, 내부 스캔 테스트 동안 집적회로 디바이스 내의 버스 결합을 방지하고자 하는 시스템 및 방법에 관한 것이다. 일 실시예에서, 집중화된 제어 자원을 이용하여 내부 스캔 테스트 동안 버스 결합을 방지하기 위해 내부 버스를 제어하는 방법 및 시스템이 논의된다.

**배경기술**

컴퓨터 시스템, 소프트웨어 애플리케이션 및 이들 주위에 구축된 디바이스 및 프로세스들은 계속해서 강력해지고 있으며 복잡해지고 있다. 이러한 시스템에 대한 사회의 의존도도 마찬가지로 증가하고 있으며, 설계자들이 의도한 특성을 시스템이 준수하는 것은 필수적이다. 통상적으로, 시스템이 보다 강력해지고 복잡해짐수록, 성능성 및 유용성이 증가한다. 그러나, 이들 컴퓨터 및 소프트웨어 구현 시스템 및 프로세스가 보다 강력해짐에 따라, 시스템 내의 결함들을 검출하여 수정하는 것은 더욱 어렵게 되고 있다.

집적회로, 특히, 집적회로의 로직이 복잡해지고 보다 조밀해짐에 따라, 상기 집적회로는 정확하고 완전한 기능을 위해 테스트하는 것이 더욱 어렵게 되었다. 예를 들면, 현재의 기술로는, 집적회로 칩(die) 내에 제작된 트랜지스터의 총 수가 증가함에 따라, 조립 공정 라인에서 나타나는 집적회로를 테스트하는데 걸리는 시간이 증가한다. 따라서, 최상의 대응방 고밀도 집적회로에 대한 테스트 비용이 크게 증가할 수 있다. 집적회로 설계들 내에는 다양한 넷리스트(netlists)를 분석하여 그로부터 자동 테스트 장비(ATE; automated test equipment) 시스템에서 디바이스를 테스트하는데 사용된 테스트 패턴(예를 들면, 테스트 프로그램 또는 테스트 벡터라고도 함)을 생성하는데 아주 복잡한 테스트 프로그램인 자동 테스트 패턴 생성(ATPG; automated test pattern generation) 프로그램이 이용된다.

ATPG 프로그램 또는 들의 목적은 가능한 한 효율적으로 정확하고 높은 커버리지(coverage)(예를 들면, 집적회로의 대부분의 구현 회로를 테스트) 테스트 패턴을 생성하는 것이다. 따라서, 로직 합성 과정에서 중요시되고 있는 부분은 ASIC 및 원래의 테스트 용이화를 위한 다른 복잡한 집적회로의 설계들을 포함한다. 이것은 테스트 용이화 설계(designing for testability) 또는 DFT라고 지칭된다.

DFT 프로세스의 한가지 문제가 되는 특징은 하나 이상의 내부 버스 상에 다수의 기능 유닛을 포함하는 고 밀도의 다기능 집적 회로를 필요로 한다는 것이다. 내부 3 상태 신호 또는 다수의 드라이버를 갖는 버스를 이용하는 것이 현 기술 수준의 시스템 온 칩(system-on-a-chip) 설계에서 일반적이다. 또한, 복잡한 설계들 테스트하기 위해 내부 스캔 테스트 방법을 이용하는 것이 일반적이다. 일반적으로, 종래 기술의 설계의 이들 두 특징은 모순된 설계들 가지며 서로에 대해 테스트 충돌을 발생한다.

현재의 ATPG 들은 그러한 구조들을 해석하여 제어하는데 어려움을 갖지만, 그럼에도 불구하고 단지 하나의 드라이버만이 임의의 주어진 시간에 공유 신호를 능동적으로 구동하도록 요구한다. 복수의 능동 드라이버는 예상치 못한 테스트 결과를 생성할 수 있으며 제조 테스트 동안 잠재적으로 구성요소들을 손상시킬 수 있다. 이 문제는, 복수의 드라이버가 각각의 버스 드라이버를 활성화시키기 위해 자동 회로(automatic circuit)를 포함하는 고유(unique) 기능 블록들로부터 독립적으로 제어될 때 해결하기가 더욱 어렵다.

하나 이상의 내부 버스에 대해 경쟁하는 다수의 기능 유닛의 문제를 해결하기 위한 종래의 한 해결책은 모든 버스 결합 문제들을 해결하기 위해 ATPG 들을 이용하는 방법을 실현하는 것이다. 그러나, 이것은 결합의 커버리지를 더 낮게 하여 패턴을 생성하는데 더 긴 시간이 걸리게 한다. 또한, 많은 ATPG 프로그램

법 및 통로는 이 해결책을 지원하지 않는다.

또한, 버스 경합 해결 및 방지를 지원하는 통로는 단지 제한적으로만 성공할 수 있다. 이들은 임의의 신호 또는 버스 상에서 버스 경합을 발생시키는 ATP6 패턴이 생성되지 않도록 보장할 수 있지만, 때론 상기 통로들이 그렇게 작동하는 것이 어렵다. 그 결과 종종 컴파일에 장시간이 소요되고 결합 커버리지가 아주 양호하지 못하게 된다.

따라서, 집적 회로 디바이스의 복수의 기능 유닛들 가운데 임의의 잠재적인 버스 경합을 제거할 수 있도록 하는 해결책이 요구된다. 복수의 기능 유닛들이 버스 경합을 제거하도록 복수의 버스 드라이버를 능동적으로 제어하는 해결책이 요구된다. 상기 요구된 해결책은, 설계에 의해, ATP6 패턴이 생성될 수도 있는 임의의 스캔 테스트 패턴이 주어진 경우 버스 경합이 발생할 수 있도록 하여, 결과적으로 훨씬 더 높은 결합 커버리지를 갖도록 하는 테스트 패턴을 생성하도록 보장한다.

상기 요구된 해결책은 구현하기가 쉽고, 구성이 일정하며, 최소 게이트 영역을 가지며 설계시 시스템 성능에 최소한의 영향을 미친다.

#### 본 발명의 상세한 설명

본 발명은 집적 회로 디바이스의 복수의 기능 유닛들 간에 임의의 잠재적인 버스 경합을 제거하기 위한 방법 및 시스템에 관한 것이다. 본 발명은 복수의 기능 유닛들이 임의의 테스트 입력들(예를 들면, ATP6 테스트 패턴들, 벡터들 등)에 의해 자극을 받을 때 상기 기능 유닛들 간에 버스 경합을 제거하도록 복수의 버스 드라이버를 능동적으로 제어하는 해결책을 제공한다. 본 발명의 방법 및 시스템은 설계에 의해, ATP6 패턴이 생성될 수도 있는 임의의 스캔 테스트 패턴이 주어진 경우 버스 경합이 발생할 수 있도록 하여, 결과적으로 훨씬 더 높은 결합 커버리지를 갖도록 ATP6들로 하여금 테스트 패턴을 생성하도록 보장한다. 또한, ATP6 패턴이 버스 경합이 발생할 수 있도록 보장할 필요가 없기 때문에, 테스트 패턴들이 훨씬 빠른 컴파일 시간으로 생성될 수 있다. 본 발명의 시스템은 쉽게 구현되며, 구성이 일정하며, 최소 게이트 영역을 가지며, 집적 회로 디바이스의 전체 설계에 대해 최소의 시스템 성능 영향을 갖는다.

일 실시예에서, 본 발명은 회로가 테스트될 때, 다기능 집적 회로에서 버스 경합을 방지하는 시스템으로서 구현된다. 상기 시스템은 집적 회로의 기능을 테스트하도록 동작가능한 임의의 테스트 입력을 받아들이도록 조정된 집적 회로 내에 구현된다. 집적 회로는 복수의 기능을 통신 결합하기 위한 적어도 하나의 버스(예를 들면, PCI 버스)를 포함한다. 적어도 제 1 기능 블록 및 제 2 기능 블록이 집적 회로 내에 포함된다. 제 1 기능 블록 및 제 2 기능 블록은 모두 버스에 결합되며, (예를 들면, 포함된 테스트 액세스 포트들 통하여) 테스트 입력을 받아들이도록 결합된다.

버스 중재기는 또한 버스의 소유권(ownership)을 승인하는(granting) 집적 회로 내에 포함된다. 상기 버스 중재기는 제 1 기능 블록의 대응 출력에 제 1 기능 블록에 대해 발생된 버스 승인 신호를 이용하여 활성화된다. 이것은, 제 1 기능 블록과 제 2 기능 블록 사이의 버스에 대해 경합을 발생하지 않고서 제 1 기능 블록 및 제 2 기능 블록을 통하여 테스트 입력이 전파될 수 있도록 보장한다.

다른 실시예에서, 집중화된 테스트 디바이스 제어기는 버스 중재기의 승인 신호를 이용하는 것과 반대로, 제 2 기능 블록의 출력을 디스에이달하는데 사용된다. 이것은 버스 중재기의 로직을 변경시키지 않고 로직의 결합을 가능하게 한다. 집중화된 '테스트 전용' 디바이스 제어기는 각각의 기능 블록이 그들의 각 출력 드라이버를 인에이블 및 디스에이달하도록 하는 전용 신호를 이용한다.

#### 도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 PCI(peripheral component interconnect)를 도시한 도면.

도 2는 본 발명의 일 실시예에 따른 도 1의 집적 회로의 상세도.

도 3은 본 발명의 일 실시예에 따른, 기존의 기능 블록을 수정하는데 필요한 로직을 도시한 도면.

도 4는 본 발명의 일 실시예에 따른 테스트 블록의 OE 제어의 일례의 내부 로직을 도시한 도면(3상 드라이버는 액티브 로우 출력 인에이블 로직을 갖는다).

도 5는 본 발명의 일 실시예에 따른, 액티브 하이 출력 인에이블 로직을 갖는 3상 드라이버에 대해 구성된 테스트 블록에 대한 OE 제어의 일례를 도시한 도면.

도 6은 본 발명의 제 1의 대안적인 실시예에 따른 시스템을 도시한 도면.

도 7은 본 발명의 제 1의 대안적인 실시예에 따른 PCI 버스 중재기(arbiter)를 도시한 도면.

도 8은 본 발명의 제 1의 대안적인 실시예에 따른, PCI 버스의 어드레스/데이터 부분에 대한 출력 인에이블을 생성하기 위해 기능 블록에 의해 사용된 통상적인 로직을 도시한 도면.

도 9는 스캔 테스트 모드 동안 어떠한 버스 경합도 없도록 보장하기 위해 기능 블록에 의해 요구된 제 1의 대안적인 실시예에 따른 로직을 도시한 도면.

도 10은 출력 인에이블이 액티브 로우와 반대인 액티브 하이인 제 1의 대안적인 실시예에 따른 로직을 도시한 도면.

도 11은 본 발명의 제 2의 대안적인 실시예에 따른 테스트 전용 블록(Test Only block)을 도시한 도면.

도 12는 본 발명의 일 실시예에 따른 오퍼레이팅 프로세스 단계들의 흐름도.

#### 실시예

이하, 집중화된 제어 자원을 이용하여 내부 스캔 테스트를 하는 동안 버스 경합을 방지하기 위해 내부 버스 스캔 제어하는 방법 및 시스템에 대한 본 발명의 바람직한 실시예를 참조한다. 이들 실시예는 현명한 도면에 도시되어 있다. 본 발명은 바람직한 실시예와 함께 설명되지만, 본 발명을 이들 실시예에 한정하고 자하는 것은 아님을 주지하라. 오히려, 본 발명은 첨부된 청구범위에 정의된 본 발명의 정신 및 범주 내에 포함될 수도 있는 대안들, 변형들 및 이에 상당하는 것들을 포함한다. 또한, 이하의 본 발명의 상세한 설명에서, 본 발명의 철저한 이해를 위해 제공되는 다수의 특정 상세가 제시되어 있다. 그러나, 당업자라면, 본 발명이 이들 특정한 상세 없이도 실시될 수도 있음을 알 수 있을 것이다. 다른 예에서, 본 발명의 특징들을 불필요히 설명하지 하기 위해, 공지된 방법, 처리과정, 컴포넌트, 회로들은 상세히 설명하지 않았다.

본 발명은 집적 회로 디바이스의 다수의 기능 블록들 가운데 임의의 잠재적인 버스 경합을 제거하기 위한 방법 및 시스템에 관한 것이다. 본 발명은, 다수의 기능 블록이 일련의 테스트 입력(ATPB 테스트 패턴들, 벡터들 등에 의해 자극을 받을 때 상기 기능 블록이 기능 블록들 중에서 버스 경합을 제거하도록 다수의 버스 드라이버를 능동적으로 제어하는 해법을 제공한다. 본 발명의 방법 및 시스템은 설계에 의해, ATPB 블록이 생성될 수도 있는 임의의 스캔 테스트 패턴이 주어진 때 버스 경합이 발생될 수 있도록 하여, ATPB 블록 하에 급결적으로 훨씬 더 높은 결합 커버리지를 갖는 테스트 패턴을 생성하도록 보장한다. 또한, ATPB 블록이 버스 경합이 발생될 수 있도록 보장할 필요가 없기 때문에, 테스트 패턴들이 훨씬 빠른 컴파일 시간으로 생성될 수 있다. 본 발명의 시스템은 설계 구현되며, 구성이 일정하며, 최소 게이트 영역을 가지며, 집적 회로 디바이스의 전체 설계에 대해 최소의 시스템 성능 영향을 갖는다. 본 발명 및 그 이점들은 하기에 보다 상세히 설명된다.

도 1에는 본 발명의 일 실시예에 따른 다기능 집적 회로(100)가 도시되어 있다. 도 1은 본 발명의 실시예에 따른 PCI(peripheral component interconnect)의 일반적인 도면을 나타낸다. 그러나, 본 발명의 방법 및 시스템은 다른 유형의 공유 버스 및/또는 다른 유형의 버스 표준(예를 들면, AMBA 버스, ASB, APB 등)으로 구현될 수도 있다.

도 1에 도시되어 있는 바와 같이, 집적 회로(100)는 공유 버스(110)에 각각 결합되어 있는 네 개의 기능 블록(101-104)을 포함한다. 이 실시예에서, 기능 블록(101-104)은 PCI 에이전트(예를 들면, PCI 마스터/타겟 #1, PCI 마스터/타겟 #2, PCI 타겟 #3, PCI 마스터/타겟 #4)이고, 공유 버스(110)는 PCI 버스이다. 기능 블록(101-103)은 PCI 마스터/타겟 에이전트(예를 들면, PCI 미니시어이터(Initiators) 및 PCI 슬레이브로서 기능할 수 있다. 기능 블록(104)은 PCI 타겟 전용 에이전트이다. 블록(101-104) 및 버스(110)는 집적 회로(100) 내에 집적되고, 집적 회로의 기능(functionality) 및 유틸리티(utility)를 종합적으로 제공한다.

전술한 바와 같이, 본 발명은 기능 블록(101-104) 중에서 버스(110)에 대해 버스 경합을 방지하기 위한 시스템으로서 구현된다. 정상 동작 동안, PCI 프로토콜 하에서 집적 회로(100)가 동작하는, 상기 PCI 프로토콜은 블록들(101-104) 간의 버스 경합을 방지한다. 집적 회로(100)는 필요한 제어 로직을 포함하여 완전한 PCI 호환 시스템(예를 들면, 버스 관리자, 디바이스 구성, 인터페이스, 제어 등)으로서 블록(101-104) 및 버스(110)를 동작시키도록 회로를 지원한다. 따라서, 정상 동작 동안 버스 경합의 위험이 거의 없다. 그러나, 공지되어 있는 바와 같이, 테스트하는 동안, 그 기능을 테스트하기 위해 집적 회로(100)로 스캔된 많은 테스트 벡터, 테스트 패턴, 스캔 패턴 등에 의해 버스 경합의 위험이 많이 유도된다. 본 발명은 집적 회로(100)로 스캔된 어떠한 테스트 패턴, 벡터 등에 관계없이 블록들(101-104) 사이에 버스 경합의 가능성이 있도록 보장함으로써 부분적으로 작용한다.

도 1에서, 본 발명은 기능 블록(101-104)을 위한 각각의 버스 드라이버를 능동적으로 제어하는 해법을 제공한다. 상기 능동적인 제어는, 기능 블록(101-104)이 일련의 테스트 입력들(예를 들면, ATPB 테스트 패턴, 벡터 등)에 의해 자극받을 때 상기 기능 블록들(101-104) 사이에 버스 경합이 일어날 가능성을 제거하는 것을 보장한다. 상기 능동적인 제어는 시스템(100)의 설계에 포함된 제어 로직을 이용하여 구현된다. 상기 제어 로직은, ATPB 블록이 발생될 수도 있는 임의의 스캔 테스트 패턴이 주어질 때 버스 경합이 발생될 수 있도록 구성되어 있다. 따라서, 집적 회로(100)에 대한 테스트 패턴 발생 동안, ATPB 블록은, 경합이 발생하지 않도록 보장하기 위해 각각의 모든 잠재적인 테스트 벡터를 결정론적으로 해석할 필요가 없다. 그렇게 하면, ATPB 프로세싱은 훨씬 효율적으로 진행된다(예를 들면, 통상적인 애들리케이션에서 보다 효율적으로 크기 순서로). 상기 능력에 의해, ATPB 블록은 보다 철저히 집적 회로(100)를 처리할 수 있으며, 따라서 예를 들면, ATPB 블록은 훨씬 더 높은 결합 커버리지를 갖는 테스트 패턴을 생성할 수 있다. 또한, ATPB 블록은 버스 경합이 발생하지 않도록 보장할 필요가 없기 때문에, 추가적인 능력에 의해 테스트 패턴이 훨씬 더 빠른 컴파일 시간으로 생성될 수 있다. 본 발명의 다른 이점은 제어 논리가 기존의 다기능 집적 회로 설계에 쉽게 추가될 수 있다는 사실이다. 상기 로직은 구성에 있어서 균일하며, 다기능 집적 회로 디바이스(예를 들면, 집적 회로(100))의 전체 설계에 최소의 시스템 성능 영향을 주며, 최소의 게이트 영역을 갖는다.

도 2는 본 발명의 일 실시예에 따른 집적 회로(100)를 보다 상세히 도시한 것이다. 도 2에는 본 실시예의 기능 블록(101-104) 및 이들 각각의 상호접속이 도시되어 있다. 각각의 블록(101-104)은 정상 동작 동안 버스(110)를 구동할 수 있으며, 스캔 테스트 동안 버스 경합을 회피하도록 제어되어야 한다. 각각의 블록(101-104)은 화상표(205)로 도시되어 있는 바와 같이, 일련의 출력 인에이블 신호를 출력하고 수신하도록 구성되어 있다(이하에서는 출력 인에이블 신호(205)로서 통칭함). 출력 인에이블 신호(205)는 버스(110)에 특정한 특정 신호들 및 신호들의 그룹에 대응하며, 하기의 표 1로 표시되어 있는 각각의 신호들 또는 신호들의 그룹에 대해 블록(101-104)의 각각의 출력 드라이버를 인에이블 또는 디스에이블함으로써 작용한다. 도 2에 도시되어 있는 바와 같이, 출력 인에이블 신호(205)는 블록(103)(PCI 타겟 #3)을 제어

한 블록(101) 내지 블록(104)에 캐스케이드되며, 출력 인에이블 신호(205)의 일부는 블록(103)을 우회하여 블록(104)으로 진행한다. 이것은 블록(103)이 PCI 타겟 전용 에이전트임으로 PCI 신호(FRAME#, IRDY#, CBE#)를 구동시킬 필요가 없기 때문이다. 출력 인에이블 신호(205) 및 대응하는 PCI 신호 사이의 관계는 표 1에 도시되어 있다.

[표 1]

ad_oe_n	AD/RL#
frame_oe_n	FRAME#
irdy_oe_n	IRDY#
cbe_oe_n	CBE(3:0)
par_oe_n	PAR
devsel_oe_n	DEVSEL#
stop_oe_n	STOP#
per_oe_n	PERR#
err_oe_n	SERR#

도 2에서, 본 발명에 따르면, 출력 인에이블 신호는 하나의 기능 블록으로부터 다음 블록으로 'OR' 체인으로 캐스케이드되며 블록들(101-104) 사이에 우선 순위가 정해진 계층을 생성한다. 상기 우선 순위가 정해진 계층은 출력 드라이버로 하여금 상이한 블록이 임의의 주어진 시간에 동시에 활성화되지 않도록 한다. 본 예에서는, 도 2에 도시되어 있는 바와 같이, 각각의 블록의 출력 인에이블 신호가 함께 캐스케이드되며 블록(101)으로부터 블록(104)까지 로직의 우선 순위가 결정된 체인을 형성한다. 블록의 출력 인에이블의 어시션(assertion)은 낮은 우선 순위의 다른 블록들이 분명히 어시트되지 않도록 것이다. 마찬가지로, 특정 우선 순위를 갖는 블록이 능동적으로 신호 또는 버스를 구동하면, 높은 우선 순위를 갖는 드라이버가 활성화되어 낮은 우선 순위의 드라이버가 즉시 비활성화될 것이다.

도 2는 또한 스캔 테스트 모드 신호 라인을 통하여 각각의 블록(101-104)에 결합된 TAP(test access port) 제어기(200)를 도시하고 있다. 본 예에서 TAP 제어기(200)는 스캔 테스트가 진행중일 때 각각의 기능 블록(101-104)에게 통보하기 위한 스캔 테스트 모드 신호(201)를 생성한다. 전술한 바와 같이, 각각의 기능 블록(101-104)은 PCI 버스(AD, PAR, CBE, FRAME#, IRDY#, TRDY#, DEVSEL, STOP#, PERR#, SERR#) 상에 신호들의 주 그룹을 위한 하나의 출력 인에이블 신호를 갖는다. 이들 출력 인에이블 신호 입력들(예를 들면, 출력 인에이블 신호(205)는 임의의 더 높은 우선 순위 블록이 PCI 버스를 구동하는지의 여부를 각각의 블록에게 통보한다. 각각의 기능 블록은 또한 PCI 버스 상에 신호들의 각각의 주 그룹을 위한 대응하는 출력 인에이블 신호 출력들을 갖는다. 도 20 도시된 바와 같이, 이들 출력 인에이블 신호 출력들은 그 다음 우선 순위의 기능 블록의 출력 인에이블 신호 입력에 캐스케이드된다.

예를 들면, 도 2에서, 기능 블록(101)은 최고의 우선 순위로 가지며, 기능 블록(104)은 최저의 우선 순위를 갖는다. 만약 기능 블록(101)이 예를 들면, PCI 마스터/타겟 #1이 스캔 테스트 모드 동안 버스(110)의 AD(31:0), FRAME#, STOP# 신호 라인을 구동하고 있었다면(예를 들면, ATP6 데이터 스캔 패턴을 생성하였다면), 기능 블록(101)은 ad\_oe\_1, frame\_oe\_1, stop\_oe\_1 출력들을 어시트한다. 그러면, 기능 블록(102)은 어시트된 이들 신호를 볼 것이며, ATP6 데이터 스캔 패턴을 생성한 경우에도 이들을 구동하지 않을 것이다. 기능 블록(102)이 예를 들면, PCI 마스터/타겟 #2)은 ad\_oe\_2, frame\_oe\_2, stop\_oe\_2 신호를 어시트함으로써 상기 정보를 하위 우선 순위의 블록 상으로 전달시킬 것이다. 블록(101)은 그것의 출력 인에이블 신호 입력을 로우(논리 0)로 묶어둠에 유의하라. 이렇게 하면, 블록(101)이 절대로 사전에 비워지지 않기 때문에, 블록(101)이 최고 우선 순위의 블록으로 된다. 블록(104)은 그 출력 인에이블 신호 출력들을 오픈한 채로 둔다. 이렇게 하면, 블록(104)이 절대로 다른 디바이스를 사전에 비워지지 않기 때문에, 블록(104)은 최저 우선 순위의 블록이 된다. 이런 방법으로, 어시트된 ad\_oe\_2, frame\_oe\_2, stop\_oe\_2 출력은 더 높은 우선 순위의 블록으로부터 최저 우선 순위 블록을 따라서 캐스케이드된다.

블록(103)은 타겟 전용 PCI 에이전트임에 유의하라. 블록(103)은 버스 마스터링(mastering) 능력이 없기 때문에, 그것의 인터페이스 내의 버스(110)로부터의 FRAME#, IRDY#, CBE(3:0) 신호를 갖지 않는다. 이 경우, 출력 인에이블 신호 frame\_oe\_2, irdy\_oe\_2, cbe\_oe\_2는 블록(103)을 우회하여 블록(104)에 연결된다.

본 실시예에서, 출력 인에이블 신호 입력 및 출력은 모두 활성 하이 신호임에 유의하라. 예를 들면, 스캔 테스트 모드 동안, 만약 블록들(101-104) 중 하나가 그것의 출력 인에이블 신호 입력들 중 하나가 하 이임을 본다면, PCI 버스의 대응 부분을 구동하지 않고 대응하는 출력 인에이블 신호 출력들을 어시트할 것이다.

도 3에는, 본 발명의 일 실시예에 따른 기존의 기능 블록을 변형할 필요가 있는 로직이 도시되어 있다. 도 3은 본 발명에 사용된 상호접속 로직을 도시한다(예를 들면, 스캔 테스트 동안 버스(110) 상에 버스 경합이 없을을 보장하기 위해). 본 경우에는, 블록(102)이 도시되어 있다. 도 3에 도시된 바와 같이 블록(102)은 PCI 버스를 구동하는 3 상의 드라이버보다 작은 PCI 마스터/타겟을 구현하는 정적 로직을 나타낸다. 본 발명의 상기 실시예는 각각의 출력 인에이블 신호에 대하여 '테스트를 위한 OE 제어'의 부가점을 요구한다. 이들 네 개의 블록, 즉, 테스트를 위한 OE 제어 블록(301-304)이 도시되어 있다. 테스트를

위한 OE 제어 블록은 기존의 블록(예를 들면, 블록(102))으로부터 스캔테스트 모드 신호와 함께 출력 인에이블 신호  $cr\_xx\_oe\_n$ (여기서 'xx'는 신호 유형, 예를 들면,  $ad$ ,  $frame$ ,  $indy$  등에 대응한다)를 취하고, 그 다음 높은 우선 순위의 PCI 디바이스로부터 출력 인에이블 신호를, 즉, 블록(101)으로부터  $xx\_oe\_in$ 을 취하고, 3 상태 드라이버에 대해 실제 출력 인에이블을 생성하여 출력 인에이블 신호 출력들을 그 다음 낮은 우선 순위의 블록에, 즉, 블록(103)에 대해  $xx\_oe\_out$ 을 출력한다. 도 3은 3 상태 드라이버(예를 들면, 3 상태 드라이버(311-314))에 대한 활성 로우 출력 인에이블 논리를 취한다.

도 4에는 본 발명의 실시시에 따른 테스트 제어기(400)에 대한 OE 제어의 예의 내부 로직이 도시되어 있다. 제어기(400)는 활성 로우 출력 인에이블 로직(예를 들면 3 상태 드라이버(401))를 갖는 3 상태 드라이버에 따른 로직을 나타낸다. 본 실시예에서, 제어기(400)는 세 개의 입력과 두 개의 출력을 갖는다. 만약 스캔테스트 모드 입력(201)이로우이면, '테스트에 대한 출력 인에이블' 논리가 디스에이블되고 블록의 출력 인에이블 신호  $cr\_signal\_oe\_n0$ 이 3 상태 드라이버(401)를 제어하는데 이용된다. 만약 스캔테스트모드(201)가 하이이면, '테스트에 대한 출력 인에이블' 로직이 인에이블되고 그 다음 높은 우선 순위의 블록으로부터의 출력 인에이블 신호 입력  $signal\_oe\_in0$ 이 블록의 출력 인에이블을 제어하는데 사용된다. 만약  $signal\_oe\_in0$ 이 하이이면, 이전의 블록이 버스(110)를 구동한다. 이 경우 제어기(400)는 3 상태 드라이버(401)를 디어서트(deassert)하고 그 다음 낮은 우선 순위의 PCI 디바이스  $signal\_oe\_out$ 에 대한 출력 인에이블 제어 신호 출력을 어서트한다. 만약  $signal\_oe\_in0$ 이로우이면, 블록의 출력 인에이블 신호  $cr\_signal\_oe\_n0$ 이 3 상태 드라이버(401)를 제어하는데 이용된다. 만약  $cr\_signal\_oe\_n0$ 이로우로 어서트되면 제어기(400)는 버스(110)를 구동하지 않도록 그 다음 낮은 우선 순위의 블록에 대한 출력 인에이블 제어 신호 출력  $signal\_oe\_out$ 을 어서트한다.

도 5는 본 발명의 실시시에 따른, 활성 하이 출력 인에이블 논리를 갖는 3상태 드라이버(예를 들면, 드라이버(501))에 대해 구성된 테스트 제어기(500)에 대한 OE 제어의 예를 도시하고 있다. 제어기(500)는 도 4의 제어기(400)와 거의 유사한 방식으로 작동한다. 그러나, 제어기(500)에 대한 내부 로직은 활성 하이 출력 인에이블 로직을 갖는 3 상태 드라이버에 대해 구성되어 있다.

이런 방식에서, 도 1-5에 도시된 실시예는 스캔 테스트링 동안 버스 경합은 발생하지 않을 것이다. 그렇게 하는 동안, ATP6 블록에 의해 수행되는 ATP6 프로세싱은 훨씬 효율적으로 진행되며, 고품질의 테스트 패턴/벡터를 발생하는데 훨씬 더 적은 시간을 요구한다. 또한, 테스트 패턴/벡터는 종래 기술에 따라 생성된 것보다 훨씬 더 양호한 결함 커버리지(이는 모든 버스 경합 문제들을 해결하기 위해 ATP6에게 남겨짐)를 제공한다. 본 발명의 하드웨어의 구현은, 각각의 기능 블록을 수정함으로써 장래의 집적 회로에 쉽게 결합될 수 있다.

#### 제 1의 대안적인 실시예

도 6에는 본 발명의 대안적인 실시예에 따른 시스템(600)이 도시되어 있다. 도 1-5의 실시예들은 버스(110) 상의 구동 신호로부터 기능 블록(101-104)을 디스에이블하는 분산된 해법을 이용하지만, 시스템(600)의 실시예는 버스(610) 전체를 구동하는 블록들(611-614) 중에서 하나를 인에이블하는 집중화된 방법을 이용한다. 도 1-5의 실시예들과 마찬가지로, 도 6의 실시예는 PCI 버스 구현(예를 들면 버스(610))에 대해 도시되어 있지만, 시스템(600)은 다른 유형의 버스 구조로 확장될 수도 있음에 유의하라.

도 6에 도시된 바와 같이, 기능 블록(611-613)은 PCI 마스터/타겟 에이전트이고 기능 블록(614)은 PCI 타겟 전용 에이전트이다. PCI 타겟 전용 에이전트는 PCI 버스(610)에 의해 액세스가능한 레지스터 또는 메모리 자원들을 포함한다. PCI 마스터 전용 에이전트는 버스 소우에 대한 중재 능력을 포함하고 버스(610) 상의 레지스터 또는 메모리 자원을 액세스할 수 있는 능력을 포함하지만, 물성적으로는 자신의 레지스터 또는 메모리 자원을 갖지 않는다. PCI 마스터/타겟 장치는 타겟 자원 및 다른 자원을 액세스하는 마스터 능력을 포함한다.

시스템(600)은 단일 PCI 버스 중재기(601), PCI 마스터 및 타겟 인터페이스를 갖는 블록(611-613), PCI 타겟 전용 에이전트인 단일 블록(614)을 포함하는 일반적인 PCI 버스 시스템이다. 마스터 인터페이스를 갖는 블록들은 중재기(601)에 버스 요청 신호를 보낸다(예를 들면, 버스 요청(603)). 중재기(601)는 각각의 PCI 마스터 에이전트(예를 들면, 블록(611-613))에 버스 승인( $grant$ ) 신호(602)를 보낸다. 타겟 전용 PCI 에이전트인 블록(614)은 요청 또는 승인 신호를 사용하지 않는다.

도 6의 대안적인 실시예는, 스캔 테스트링 동안 PCI 버스 중재기(601)를 이용하여 버스 경합을 방지하며, 버스(610)를 블록들(611-614) 중 하나에 승인한다. 본 실시예에 따르면, 블록(611-614)은 스캔 테스트링 동안 상기 승인을 받아들이도록 변형되어, 블록 샘플링 승인 어서트 수단이 '버스를 구동하고' 샘플링 승인의 디어서트 수단이 '모든 버스 드라이버를 디스에이블한다'. 버스 승인을 발생하는데 사용되는 PCI 버스 중재기(601) 내의 플립플롭은 스캔 체인 상에 있기 때문에, ATP6 블록, 스캔 데이터가 블록들(611-614) 중에서 적절한 하나의 블록이 원하는 버스(610)를 구동하도록 한다.

도 6의 실시예는 두 개의 특별한 상황을 다루는 로직을 포함한다. 제 1 상황은, 정적 회로가 버스 승인 신호를 이용하지 않는 PCI 타겟 전용 타입의 기능 블록들을 포함하는 경우에 로직이 구현되는 상황이다. 제 2 상황은 ATP6 블록이 스캔 테스트링 동안 다수의 승인 신호를 승인하게 하는 경우를 처리하는 방법이다. 이들 특별한 경우의 해결책은 하기에 논의된다.

도 6에서, 본 발명에 따르면, PCI 버스 중재기(601)는 스캔 테스트 모드 동안 각각의 기능 블록의 3 상태 드라이버를 인에이블하는 중앙 자원으로서 작동한다. 어서트된 버스 승인을 갖는 임의의 블록(611-614)은 스캔 테스트 동안 PCI 버스(610)( $AD[31:0]$ ,  $CBE$ ,  $PAR$ ,  $PERR\#$ ,  $SERR\#$ ,  $FRAME\#$ ,  $IRDY\#$ ,  $TRODY\#$ ,  $DEVSEL\#$ ,  $STOP\#$ )를 구동할 것이다. 이것은 PCI 타겟 전용 에이전트 및 마스터 전용 에이전트들을 포함한다. 버스 승인(604)은 타겟 전용 에이전트(예를 들면, 블록(614))에 추가되어야 하는 새로운 신호임에 유의하라. 또한 타겟 전용 에이전트(예를 들면, 블록(614))를 위한 '복합한' 버스 승인(604)은 스캔 테스트 모드 동안만 작동하는 PCI 버스 중재기(601)로부터의 출력임에 유의하라.

타겟 전용 블록이 선택되는 경우에, PCI 버스 중재기(601)는 PCI 마스터 타입 신호 CBE, FRAME#, IRDY#, TRDY#, DEVSEL#, STOP# 신호를 구동한다. 이것은, 타겟 전용 에이전트(예를 들면, 블록(614))이 정상 동작 하에서 이들 신호를 구동할 필요가 없으며 그 인터페이스 내에 상기 신호들을 가지지 않는다는 사실에 기인한다. 마찬가지로, 마스터 전용 타입의 에이전트가 선택되는 경우에, PCI 버스 중재기(601)가 PCI 타겟 에이전트 고유의 신호들 TRODY#, DEVSEL#, STOP#를 구동하므로 마스터 전용 타입의 에이전트가 정상 동작 하에서 이들 신호들을 구동할 필요가 없다.

FRAME#, IRDY#, TRODY#, STOP#, DEVSEL#, REQ#(0:N), PERR#, SERR# 및/또는 INT(A:0) 신호를 3 상태로 하지 않는 내부 PCI 버스 실시예들이 있다. 그러한 실시예에서는, PCI 중재기(601)는 전술한-문단에서 기술된 바와 같이 그들을 구동할 필요가 없다.

타겟의 타입 또는 마스터 전용 타입의 에이전트가 선택되면, PCI 버스 중재기(601)가 FRAME#, IRDY#, TRODY#, DEVSEL#, STOP# 신호를 구동하기보다는, 이들 신호가 부유하게 하는 대신에 이들 신호를 구동하지 않도록 선택하는 실시예들이 있다. 이렇게 하면, 결합 커버리지가 감소되지만, 추가적인 복잡도를 중재기 설계에 추가하는 것을 보장하기에는 충분치 못할 수도 있다.

스캔 테스트 동안, PCI 버스 중재기(601)는 1 및 하나의 승인 신호만 어서트하는 것을 담당한다. PCI 버스 승인을 발생시키는 것을 담당하는 중재기 내의 상기 플립플롭은 ATP# 풀이 원하는 어떠한 기능 블록에 마스터 버스(610)를 승인하기 위하여 데이터를 그들로 이동시킬 수 있도록 스캔 체인 상에 있다. 그러나, ATP# 풀은 다수의 버스 승인을 어서트하도록 시도할 수도 있다. PCI 버스 중재기(601)는 블록들 (611-614) 중 단지 하나의 블록만이 선택되도록 보장해야 한다. 아무런 디바이스도 선택되지 않는 경우, PCI 버스 중재기(601)는 버스(610)를 '디폴트' 블록으로 보낸다. 상기 디폴트 블록은 임의의 블록(611-614)이 되도록 선택될 수도 있거나 버스(610) 상의 임의의 블록으로 선택될 수도 있다.

도 7에는 본 발명의 다른 실시예에 따른 PCI 버스 중재기(700)가 도시되어 있다. PCI 버스 중재기(700)의 도면은 승인 신호(예를 들면, 도 6의 승인 신호(603-604))를 구현하고, 신호들, 즉, CBE(3:0), FRAME#, IRDY#, TRODY#, DEVSEL#, STOP#를 발생하는데 요구된 로직을 나타낸다. PCI 버스 중재기(700)는 네 개의 PCI 마스터/타겟 타입의 에이전트 및 두 개의 PCI 타겟 전용 타입의 에이전트를 갖는 중재기의 예이다. 타겟 승인 신호는 tnt(1:0)로 도시되어 있다. 본 실시예에서는, 종래의 PCI 버스 중재기(705)의 로직 외에 타겟 승인 신호를 구동하는 플립 플롭(702-703), CBE(3:0), FRAME#, IRDY#, TRODY#, DEVSEL#, STOP#를 생성하는 조합 로직(701), 스캔 테스트 동안 단지 하나의 승인만 어서트되도록 보장하는 조합 로직(704)이 있다. 정상 동작(scanmode=0) 동안, PCI 버스 승인 gnt\_n(3:0)은 플립 플롭(706-709)으로부터 바로 구동되며, '타겟 승인'은 디어시트되고, CBE(3:0), FRAME#, IRDY#, TRODY#, DEVSEL#, STOP#는 3 상태로 된다. 스캔 테스트(scanmode=1) 동안 다수의 승인이 어서트되지 않으면, gnt\_n 및 tnt\_n 플립플롭은 플립 플롭(706-709 및 702-703)으로부터 각각 구동된다(즉, ATP# 풀에 의해). 만약 다수의 승인이 플립플롭에 의해 어서트되면, 조합 로직(704)은 승인을 중에서 하나를 선택해야 하며 모든 다른 승인들은 디어시트되어야 한다. 만약, 승인들이 플립플롭에 의해 어서트되면, 조합 로직(704)은 승인들 중 하나가 어서트되도록 선택하고 다른 모든 승인들은 디어시트되어야 한다. 만약 어서트된 승인 신호가 '타겟 승인' 신호들 중 하나의 신호이면, CBE(3:0), FRAME#은 일정한 값으로 구동된다(본 예에서는 0으로 표시). 만약 어서트된 승인 신호가 PCI 마스터 전용 타입의 에이전트를 위한 것이면, TRODY#, DEVSEL#, STOP#이 구동된다.

도 8은 본 실시예에 따른 PCI 버스(610)의 어드레스/데이터 부분에 대해 출력 인에이블(예를 들면, ad(31:))을 생성하도록 기능 블록에 의해 사용된 통상적인 로직을 도시한 것이다. 전체 버스(610)에 대해 발생할 수 있는 하나의 출력 인에이블만 도시되어 있다. 버스의 상이한 부분에 대해 출력 인에이블을 생성하는 다수의 플립을 갖는 것이 일반적이지만, 이것은 본 실시예에 대한 쉽게 통합된 확장이다.

도 9는 스캔 테스트 모드 동안 어떠한 버스 경합도 발생하지 않도록 보장하기 위해 기능 블록에 의해 요구된 본 실시예에 따른 로직을 도시한 것이다. 정상 동작 동안(scanmode=0) 기능 블록의 정상 출력 인에이블 신호 cr\_ad\_oe\_n이 그 출력 드라이버를 인에이블하는데 사용된다. 그러나, 본 실시예에 따르면, 스캔 테스트(scanmode=1) 동안 승인 신호 gnt\_n이 출력 드라이버를 인에이블하는데 사용될 것이다. 도 9의 도면은 출력 인에이블이 활성 로우라고 가장한 것이다.

도 10은 출력 인에이블이 활성 로우에 대해 반대인 활성 하이인, 본 실시예에 따른 로직을 도시한 것이다. 따라서, 도 6-10의 대안적인 실시예는 스캔 테스트 동안 버스 경합이 발생하지 않도록 보장한다. 이것은 ATP# 풀의 작업을 상당히 용이하게 하며, ATP# 풀이 모든 버스 경합 문제들의 해결을 담당하는 종래 기술에 비해 보다 빠른 컴파일 시간으로 훨씬 양호한 결합 커버리지를 제공할 것이다. 도 1-5의 실시예에 비해, 상기 대안적인 실시예는, 시스템 내의 각각의 기능 블록 및 중앙 PCI 버스 중재기를 수정함으로써 쉽게 구현될 수 있다.

## 제 2의 대안적인 실시예

본 발명에 따른 제 2의 대안적인 실시예가 또한 구현될 수 있다. 스캔 모드 동안 각각의 기능 블록을 제어하는 집중된 자원이 PCI 버스 중재기가 아니라 단독의 '테스트 전용' 블록이라는 점을 제외하면, 제 2의 대안적인 실시예는 도 6-10의 제 1의 대안적인 실시예와 거의 유사하다. 또한, 본 실시예를 이용하면 PCI 버스 중재기의 설계를 변경할 필요가 없다. 요구된 로직은 '테스트 전용' 블록에 결합된다. 그러면, 상기 '테스트 전용' 블록은 승인 신호가 아니라 '선택' 신호를 발생한다. 상기 선택 신호는 각각의 기능 블록에 의해 사용되어 도 6-10의 제 1의 대안적인 실시예에 제시된 승인 신호가 아니라 스캔 테스트 동안 버스를 구동한다. PCI 디바이스 내의 로직은 도 6-10의 제 1의 대안적인 실시예의 로직과 거의 유사하다.

도 11은 본 발명의 제 2 대안적인 실시예에 따른 테스트 전용 블록(1100)을 도시한 도면이다. 테스트 전용 블록(1100)은 도 7의 PCI 버스 중재기(705)에 추가되는 거의 동일한 회로이다. 제 2의 대안적인 실시예에 의하면, 제 1의 대안적인 실시예의 타겟 타입의 승인과 마스터 타입의 승인인 있는 것과



마침가지로, 타겟 타입의 선택 신호와 마스터 타입 신호 사이에 차이가 없다. 전송한 각각의 실시예에서, '스캔테스트 모드' 신호는 본 발명의 목적을 활성화한다.

단계 1203에서, 단계 1201로부터의 테스트 벡터가 집적 회로의 기능 블록에 인가되면, 기능 블록들 중 하나는 동작 특성을 테스트하기 위해 인에이블로 된다.

단계 1204에서, 본 발명의 목적에 의해 모든 다른 기능 블록들이 디스에이블된다. 전송한 바와 같이, 도 1-5의 실시예에서, 상기 목적은 각각의 기능 블록들 사이에 할당된다. 제 1 및 2의 대안적인 실시예에서, 목적은 종재기(예를 들면, 도 6의 PCI 버스 종재기(601) 또는 단독의 테스트 전용 디바이스(예를 들면, 도 11의 테스트 전용 디바이스(1100))에 집중된다. 그렇게 하면, 적용되는 어떠한 테스트 벡터/테스트 패턴의 효과에 관계없이, 단지 하나의 기능 블록만 버스의 신호를 구동할 수 있다.

단계 1205에서, 본 발명의 목적은 시프트인되는(shifted in) 새로운 테스트 벡터의 결과로서 인에이블된다. 현재 버스를 구동하는 기능 블록 이외의 더 높은 우선 순위의 기능 블록이 있는지의 여부를 계속해서 검사한다.

단계 1206에서, 더 높은 우선 순위의 기능 블록이 있는 경우, 현재 버스를 구동하는 더 낮은 우선 순위의 기능 블록이 즉시 디스에이블되고, 더 높은 우선 순위의 기능 블록은 그 출력 드라이버를 인에이블로 한다. 전송한 바와 같이, 목적은 상이한 기능 블록으로부터의 두 세트의 출력 드라이버가 동시에 버스의 각 신호 라인을 구동할 수 있다.

단계 1207 및 1210에서, 본 발명의 테스트 과정은, 새로운 테스트 벡터가 계속해서 시프트 인되고 집적 회로의 기능이 완전히 확인될 때 결과의 테스트 데이터가 계속해서 시프트 아웃되도록 계속된다.

단계 1208에서, 테스트 프로세스가 완료되고, '스캔테스트 모드' 신호가 집적회로를 통해 디어스트된다. 상기 구성은 본 발명의 목적 기능 블록들을 테스트 모드로부터 정상 동작 모드로 재구성한다.

이어서 단계 1209에서, 집적 회로는 정상 동작으로 전행한다. 전송한 바와 같이, 정상 동작 동안, 기능 블록의 출력 드라이버는 각각의 정상 동작 모드 목적(예를 들면, PCI 영세에 따라서)에 의해 제어된다. 본 발명의 목적은, 다른 스캔테스트 모드 신호를 어서트하여 다른 테스트 프로세스의 개시를 지정할 때까지 '슬립(sleep)'한다.

따라서, 본 발명은 집적 회로 디바이스의 다수의 기능 블록들 간의 어떠한 잠재적인 버스 경합도 제거하는 방법 및 시스템을 제공한다. 본 발명은 다수의 기능 블록들이 일련의 테스트 입력(예를 들면, ATP8 테스트 패턴, 벡터 등)에 의해 자극받을 때, 다수의 기능 블록들이 기능 블록들 사이의 버스 경합을 제거하도록 다수의 버스 드라이버를 능동적으로 제어하는 해법을 제공한다. 본 발명의 방법 및 시스템은 설계에 의해, ATP8 출력이 생성할 수도 있는 임의의 스캔 테스트 패턴이 주어진 때 버스 경합이 발생할 수 있도록 하여, ATP8 출로 하여금 결과적으로 훨씬 더 높은 경합 캐패리티를 갖는 테스트 패턴을 생성하도록 보장한다. 또한, ATP8 출력이 버스 경합이 발생할 수 있도록 보장할 필요가 없기 때문에, 테스트 패턴 출력이 훨씬 빠른 컴파일 시간으로 생성될 수 있다. 본 발명의 시스템은 쉽게 구현되며, 구성이 일정하며, 최소 게이트 영역을 가지며, 집적 회로 디바이스의 전체 설계에 대해 최소의 시스템 성능 영향을 갖는다.

본 발명의 특정 실시예들에 대한 상기 설명은 예시 및 설명을 위해 제공되었다. 이들은 개시된 정확한 형태로 본 발명을 제한하고자 하는 것이 아니며, 상기 교지에 비추어 야 할 많은 변형들 및 수정들이 가능하다. 실시예들은 본 발명 및 설계 매커니즘의 원리를 가장 잘 설명하도록 선택하여 개시하였으며, 따라서 당업자라면 본 발명을 이용하여 특정 용도에 맞는 다양한 변형들을 갖는 다양한 실시예를 이용할 수 있을 것이다. 본 발명의 영역은 첨부한 청구항에 규정되어 있다.

#### (5) 청구의 범위

##### 청구항 1

테스팅 하의 다기능 집적 회로에서 버스 경합(contention)을 방지하는 시스템으로서,

집적 회로의 상기 기능을 테스트하도록 동작가능한 일련의 테스트 입력을 받아들임이도록 구성된 집적 회로와,

상기 집적 회로에 포함된 버스와,

상기 집적 회로 내에 포함되어 있으며, 상기 버스 및 상기 테스트 입력에 각각 결합되어 있는 적어도 제 1 기능 블록 및 제 2 기능 블록과,

상기 집적 회로에 포함된 유닛을 포함하고,

상기 유닛은, 상기 제 1 기능 블록의 대응 출력이 활성화되면 상기 제 2 기능 블록의 출력을 디스에이블하여, 상기 제 1 기능 블록 및 제 2 기능 블록 사이의 버스에 대한 경합이 방지되는 동안 상기 제 1 기능 블록 및 제 2 기능 블록을 통해 상기 테스트 입력이 전파될 수 있도록 동작가능한 버스 경합 방지 시스템.

##### 청구항 2

제 1 항에 있어서,

상기 집적 회로는 PCI(peripheral component interconnect) 기반형 다기능 집적 회로이고, 상기 버스는 PCI 버스이며, 상기 기능 블록은 기능 블록들의 적절 연결이며, 상기 유닛은 상기 집적 회로에 포함된 테스트 디바이스 제어기이며 상기 기능 블록들에 각각 결합되고, 상기 제어기는 상기 기능 블록들의 더 높은 우선 순위의 한 블록의 대응 출력이 활성화되면 상기 각각의 기능 블록들 각각의 적어도 하나의 출력

을 디스에이블(disable)하도록 동작가능한 버스 경합 방지 시스템.

### 청구항 3

제 1 항에 있어서,

상기 유닛은 버스 종제 유닛이고, 상기 버스 종제 유닛은 상기 버스의 소유권에 대하여 종제하도록 동작 가능한 버스 경합 방지 시스템.

### 청구항 4

제 1 항 또는 3 항에 있어서,

상기 다기능 집적 회로에 포함된 버스는 PCI(peripheral component interconnect) 버스이고 상기 제 1 기능 블록 및 제 2 기능 블록은 PCI 기능 블록인 버스 경합 방지 시스템.

### 청구항 5

제 2 항에 있어서,

상기 더 높은 우선 순위의 기능 블록은, 상기 테스트 디바이스 제어기에 의해 구현된 상기 PCI 버스를 구동하도록 상기 더 낮은 우선 순위의 기능 블록을 사전에 비우는 버스 경합 방지 시스템.

### 청구항 6

제 1 항 내지 3 항 중 어느 한 항에 있어서,

상기 유닛은 상기 적어도 하나의 출력력을 위한 각각의 기능 블록들의 출력 드라이버를 디스에이블함으로써 상기 적어도 하나의 출력력을 디스에이블하는 버스 경합 방지 시스템.

### 청구항 7

제 2 항 또는 6 항에 있어서,

상기 제 1 기능 블록으로 어서트된(asserted) 상기 유닛으로부터의 신호는 상기 제 1 기능 블록이 상기 버스를 구동하게 하고 상기 제 2 기능 블록에 대한 선택 신호의 디어션(deassertion)이 상기 제 2 기능 블록에 대하여 상기 출력 드라이버를 디스에이블하게 하여, 상기 버스에 대한 경합을 방지하는 버스 경합 방지 시스템.

### 청구항 8

제 7 항에 있어서,

상기 유닛은 수신된 상기 테스트 입력에 관계없이 상기 제 1 기능 블록 또는 제 2 기능 블록 중 어느 하나에 대하여 단지 하나의 신호만이 한번에 활성화될 수 있도록 보장하는 로직을 포함하는 버스 경합 방지 시스템.

### 청구항 9

제 7 항 또는 8 항에 있어서,

상기 신호는 선택 신호인 버스 경합 방지 시스템.

### 청구항 10

제 7 항 또는 8 항에 있어서,

상기 신호는 버스 승인 신호인 버스 경합 방지 시스템.

### 청구항 11

제 1 항 내지 3 항 중 어느 한 항에 있어서,

상기 다기능 집적 회로는 테스트 모드에 대하여 상기 테스트 디바이스 제어를 구성하는 스캔 테스트 모드 신호를 생성하도록 동작가능한 TAP(test access port) 제어기를 더 포함하는 버스 경합 방지 시스템.

### 청구항 12

다기능 집적 회로 시스템에서, 테스트 동안에 상기 집적 회로 내의 버스 경합을 방지하는 방법으로서, 상기 집적 회로 내에 상기 집적 회로의 상기 기능을 테스트하도록 동작가능한 일련의 테스트 입력을 받아들이는 단계와,

상기 집적 회로 내에 포함된 적어도 제 1 기능 블록 및 제 2 기능 블록 내에 상기 테스트 입력을 받아들이는 단계 -상기 제 1 기능 블록 및 제 2 기능 블록은 상기 버스에 결합됨- 와,

상기 제 1 기능 블록 및 상기 제 2 기능 블록 사이의 버스에 대한 경합이 방지되는 동안 상기 제 1 기능 블록 및 제 2 기능 블록을 통하여 상기 테스트 입력들이 전파될 수 있도록 상기 제 1 기능 블록의 대응 출력에 활성화되면, 상기 제 2 기능 블록의 적어도 하나의 출력을 디스에이블링하는 단계 -상기 디스에이블링 단계는 상기 집적 회로에 포함된 버스 중재기(arbiter)에 의해 수행되고, 상기 버스 중재기는 상기 제 2 기능 블록 및 제 1 기능 블록에 결합됨- 을 포함하는 버스 경합 방지 방법.

#### 청구항 13

제 12 항에 있어서,

상기 다기능 집적 회로에 포함된 버스는 PCI(peripheral component interconnect) 버스이고, 상기 제 1 기능 블록 및 제 2 기능 블록은 PCI 기능 블록인 버스 경합 방지 방법.

#### 청구항 14

제 12 항에 있어서,

상기 제 1 기능 블록이 버스를 구동하도록 버스 승인 신호를 상기 제 1 기능 블록으로 여서팅하고, 상기 제 2 기능 블록에 대해 상기 출력 드라이버를 구동하는 상기 제 2 기능 블록에 승인 신호를 디에이블링함으로써 상기 적어도 하나의 출력을 디스에이블링하는 단계를 더 포함하여, 상기 버스에 대한 경합을 방지하는 버스 경합 방지 시스템.

#### 청구항 15

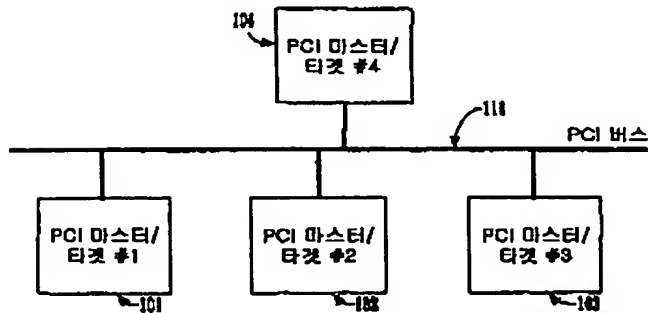
제 12 항에 있어서,

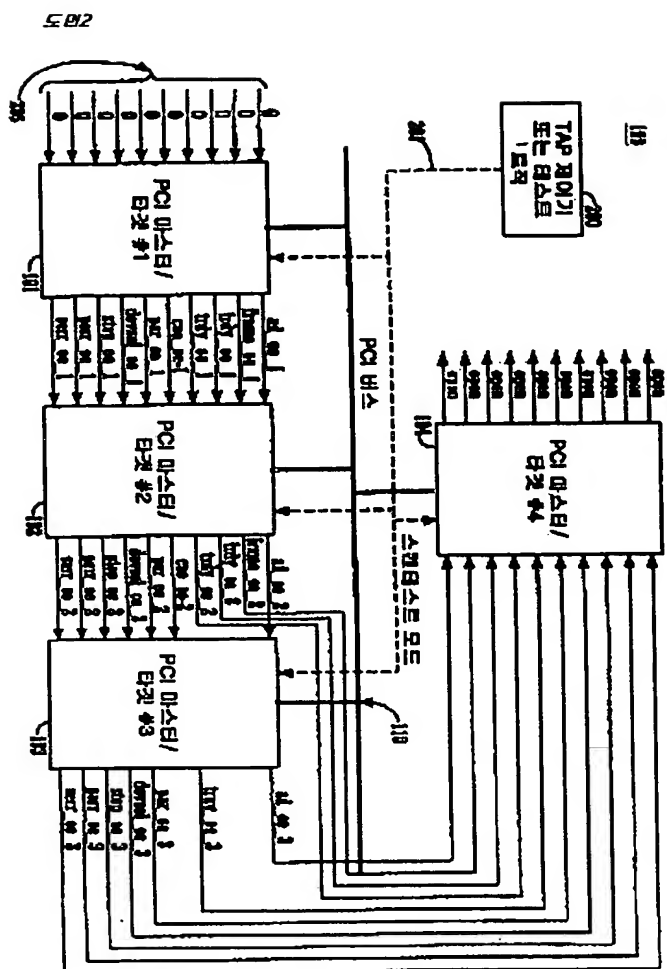
상기 다기능 집적 회로는 테스트 모드 동안 상기 테스트 디바이스를 구성하는 스캔 테스트 모드 신호를 생성하도록 동작가능한 TAP(test access port) 제어기를 포함하는 버스 경합 방지 방법.

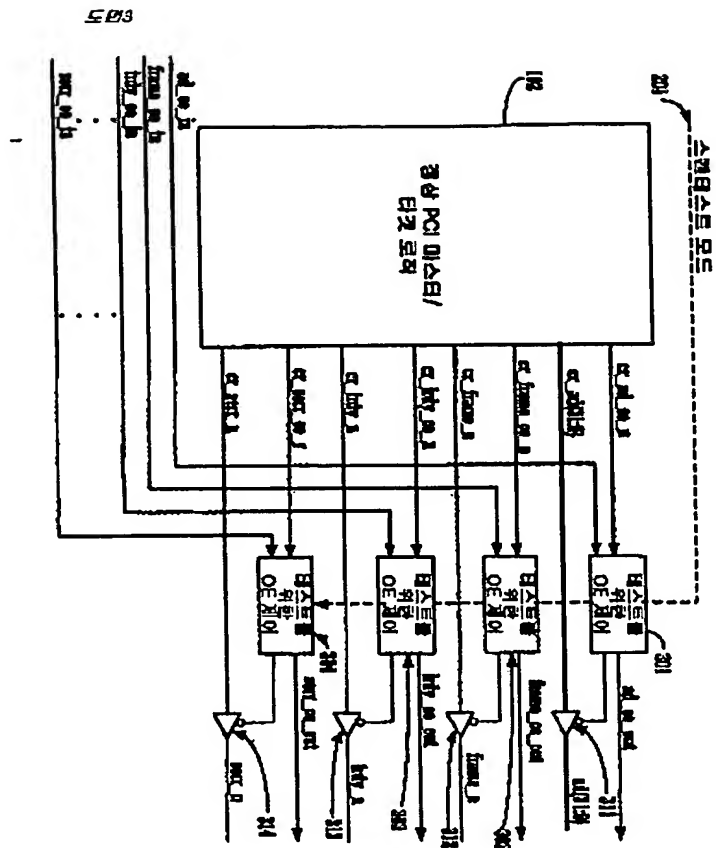
도면

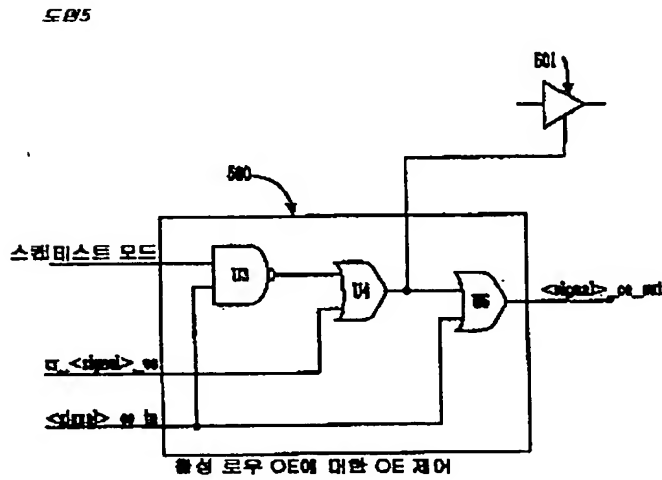
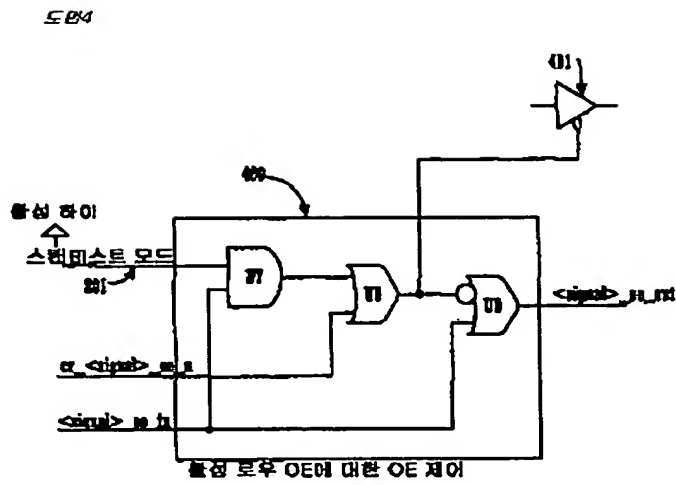
도면 1

100



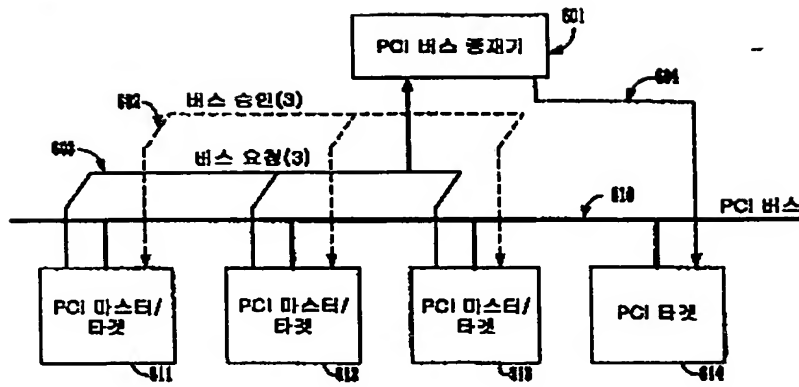


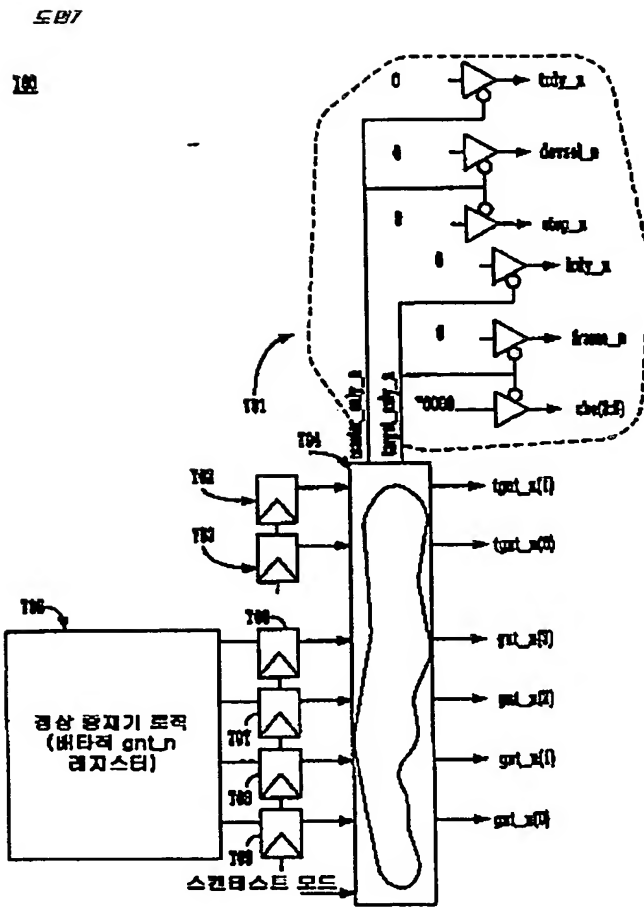




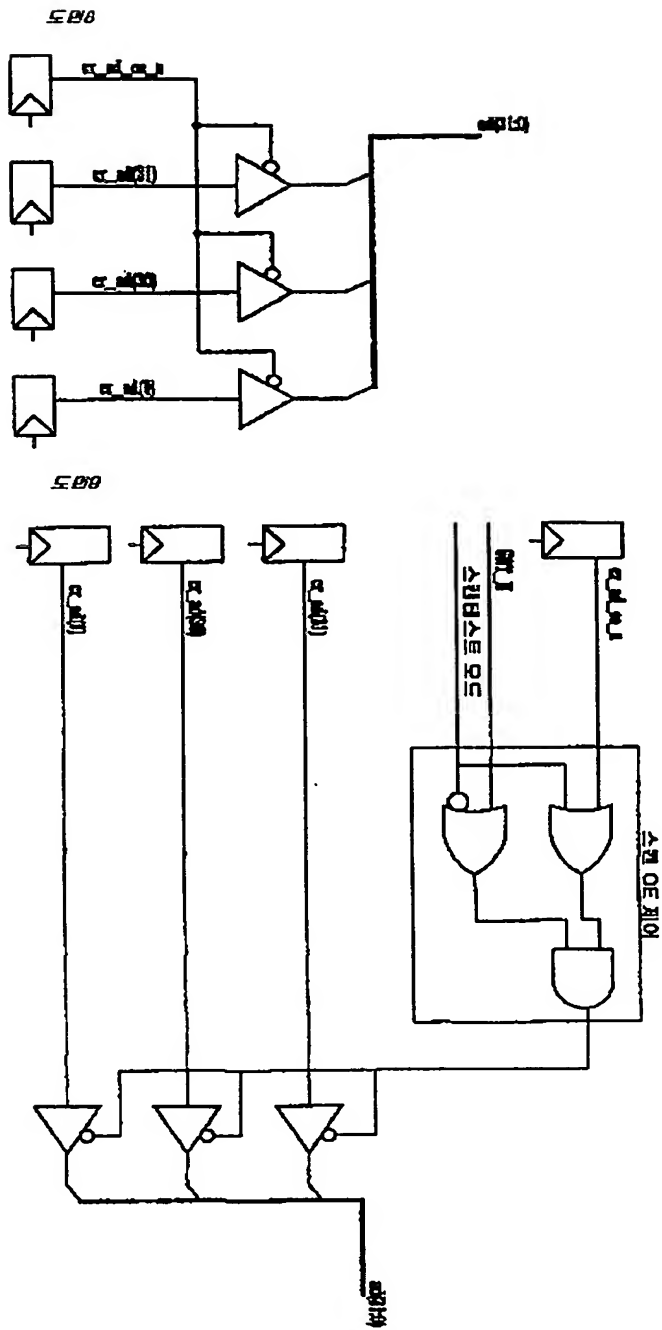
도 18B

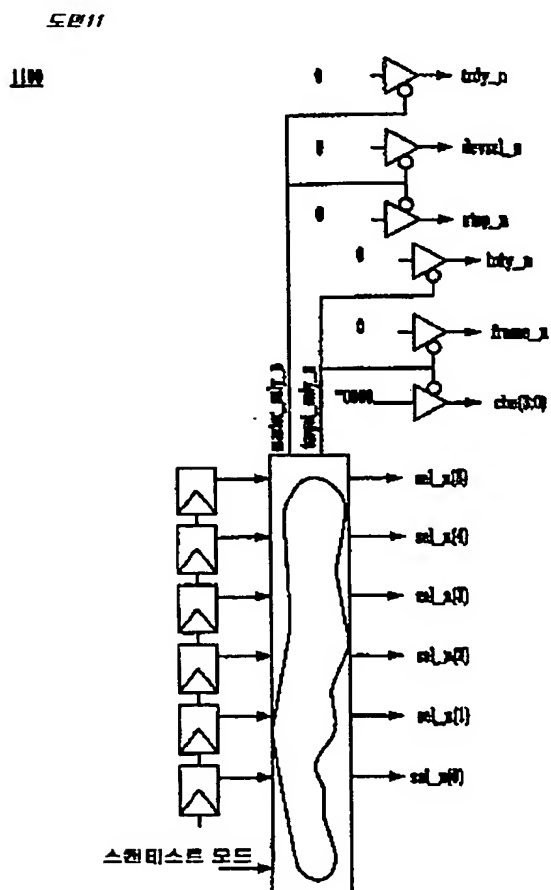
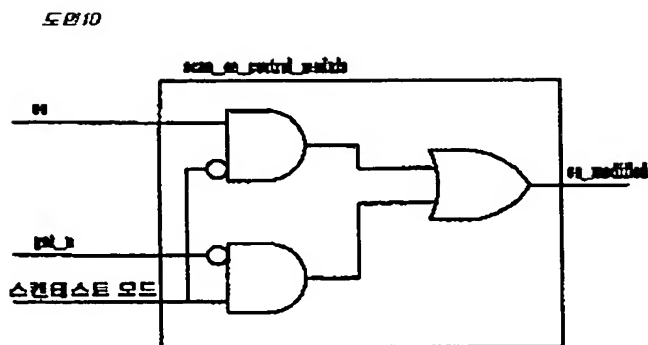
800

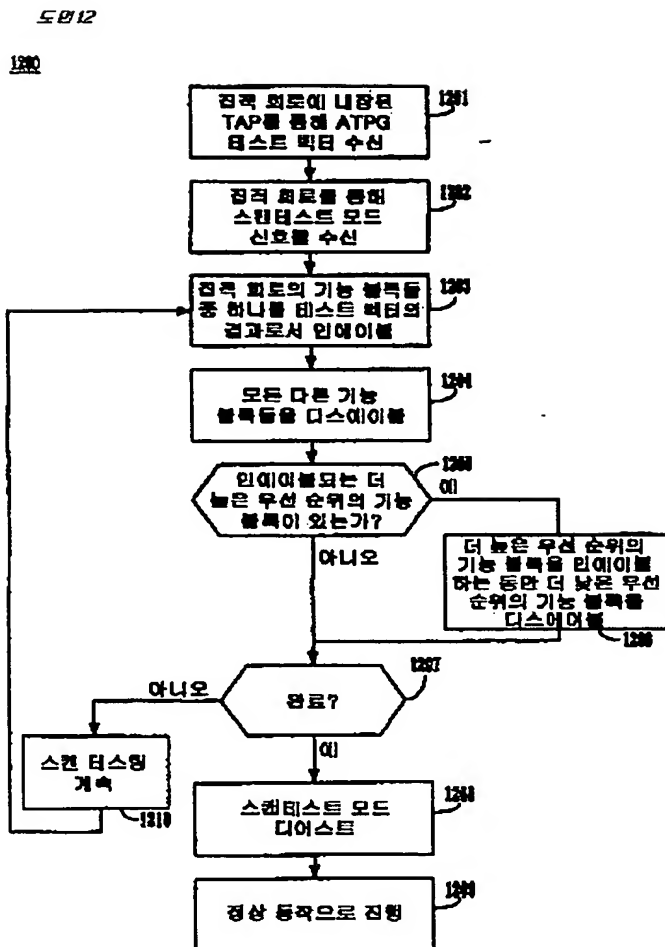












**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**